Relatório Experimental

Circuitos Digitais

Introdução ao uso do software wired Panda

André Filipe Siqueira Tokumoto - RA:120188 - Turma IA

**Introdução:**

Uso do software wired Panda para simular o funcionamento de circuitos digitais e portas logicas básicas, bem como suas formas de ondas

**Resultados:**

Porta NOT:

Circuito elétrico

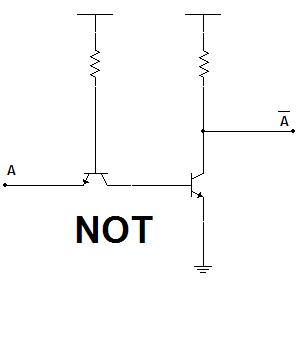
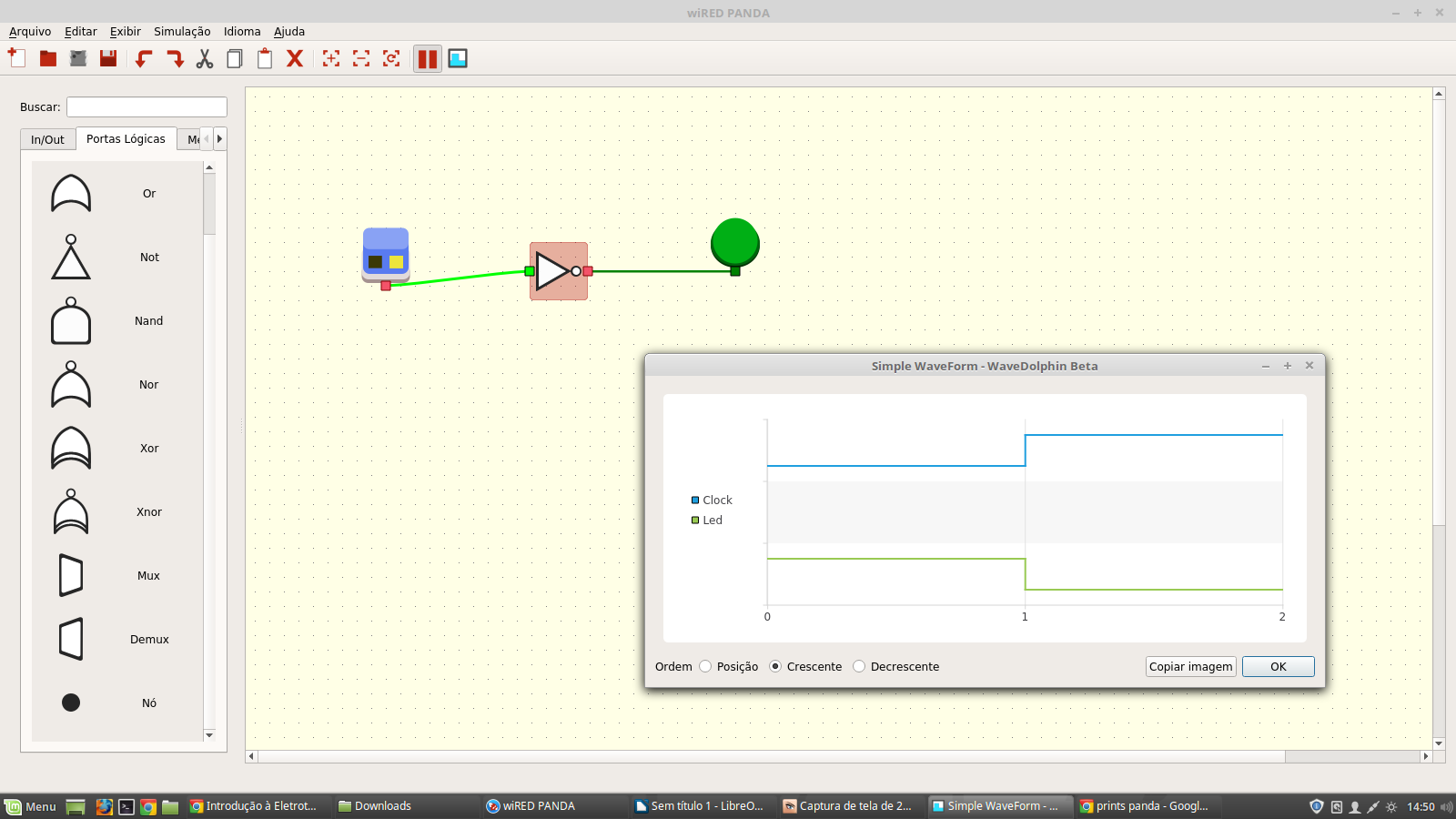


Tabela Verdade

|  |  |
| --- | --- |
| **X** | **Y** |
| 0 | 1 |
| 1 | 0 |

Resultado de simulação



Porta OR:

Circuito elétrico

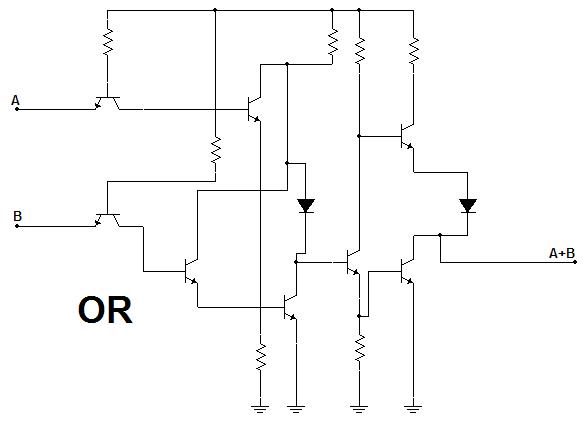
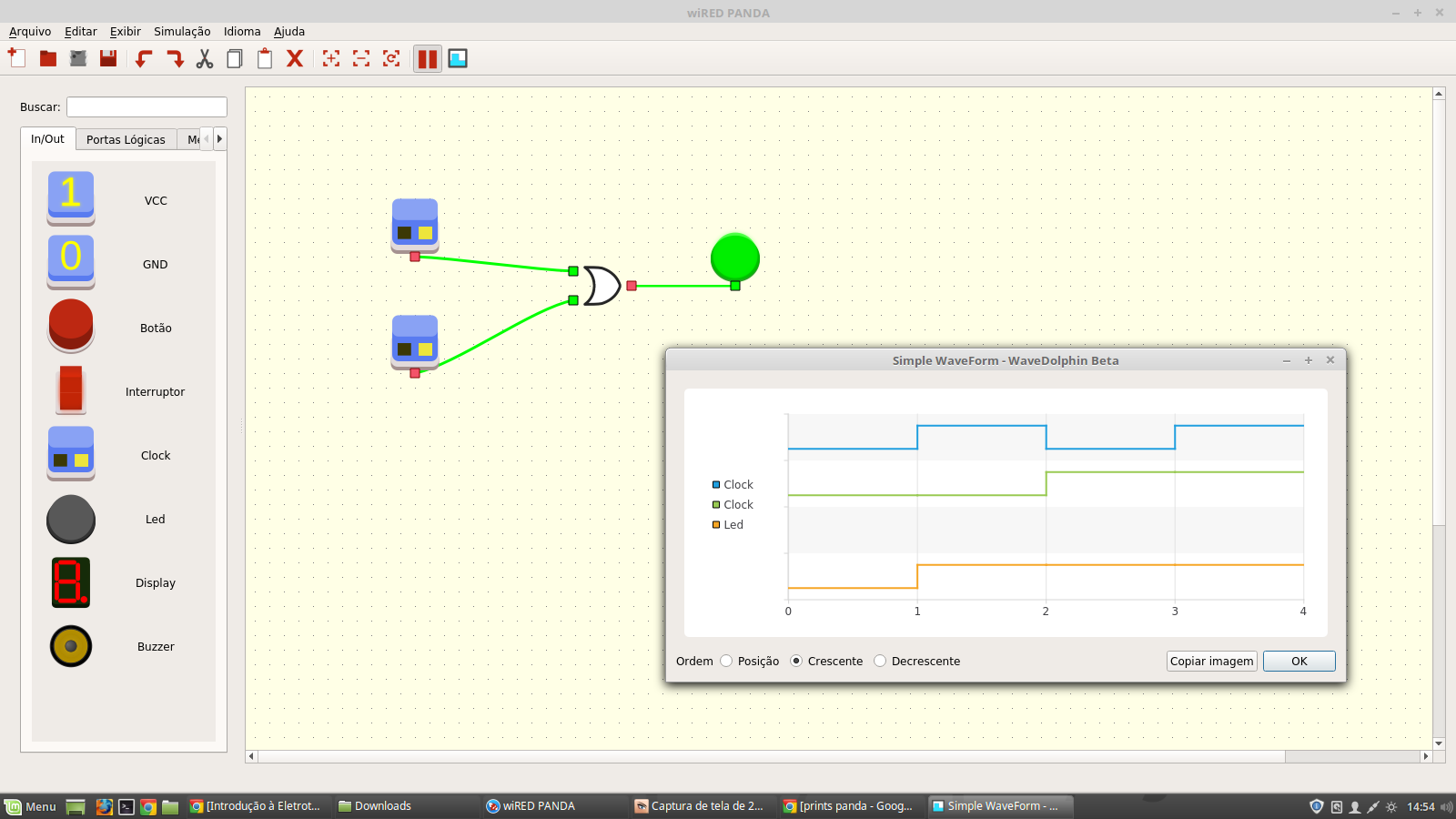


Tabela Verdade

|  |  |  |
| --- | --- | --- |
| **X1** | **X2** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Resultado de simulação



Porta Nand:

Circuito elétrico

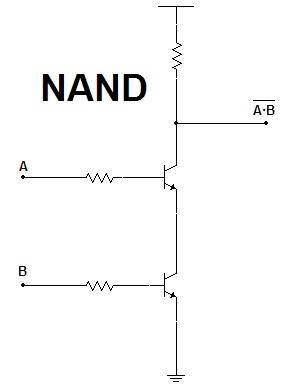
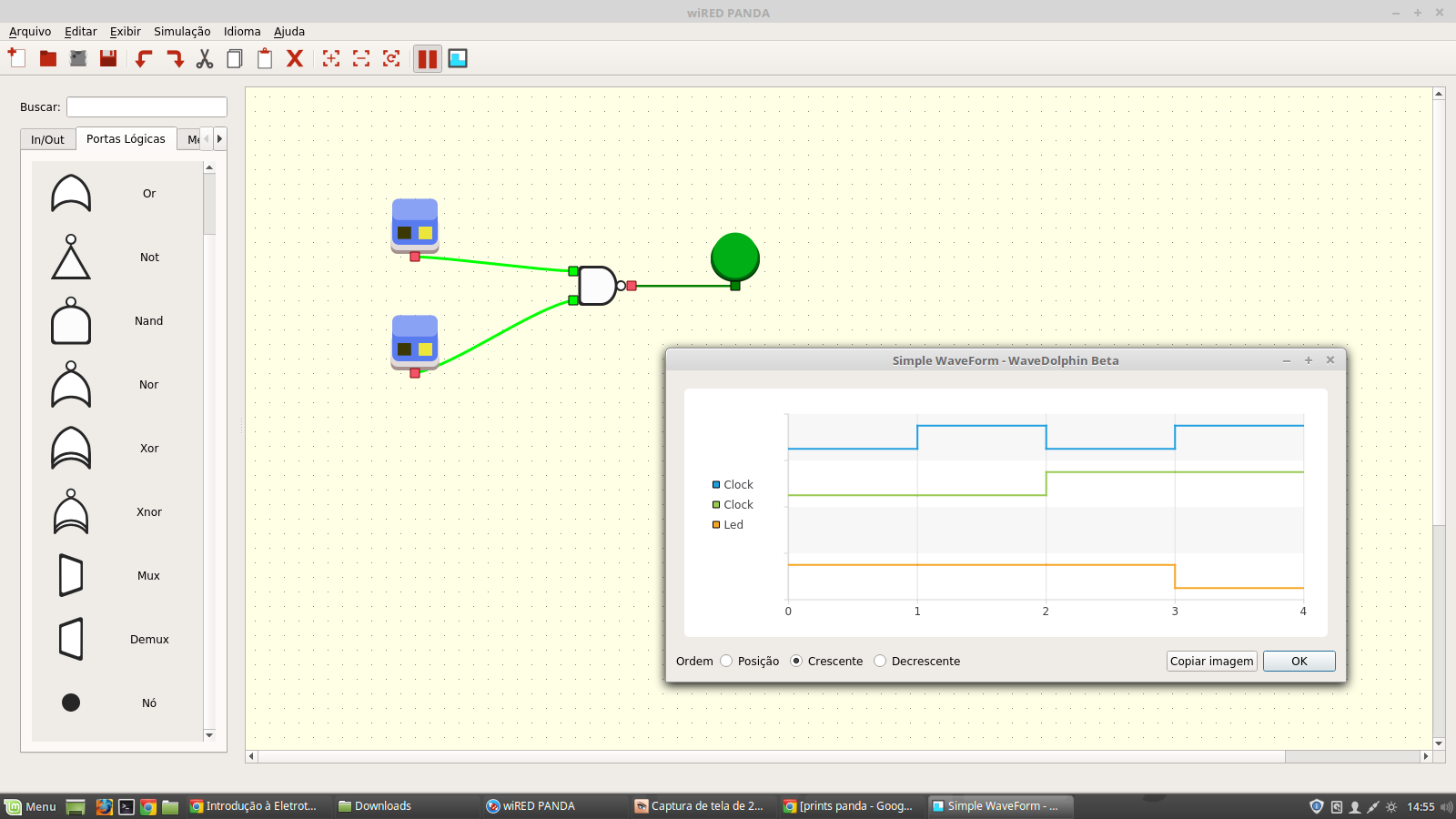


Tabela verdade

|  |  |  |
| --- | --- | --- |
| **X1** | **X2** | **Y** |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Resultado de simulação



Porta NOR:

Circuito elétrico

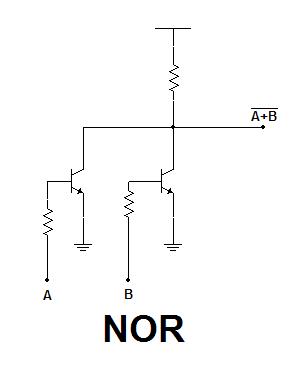
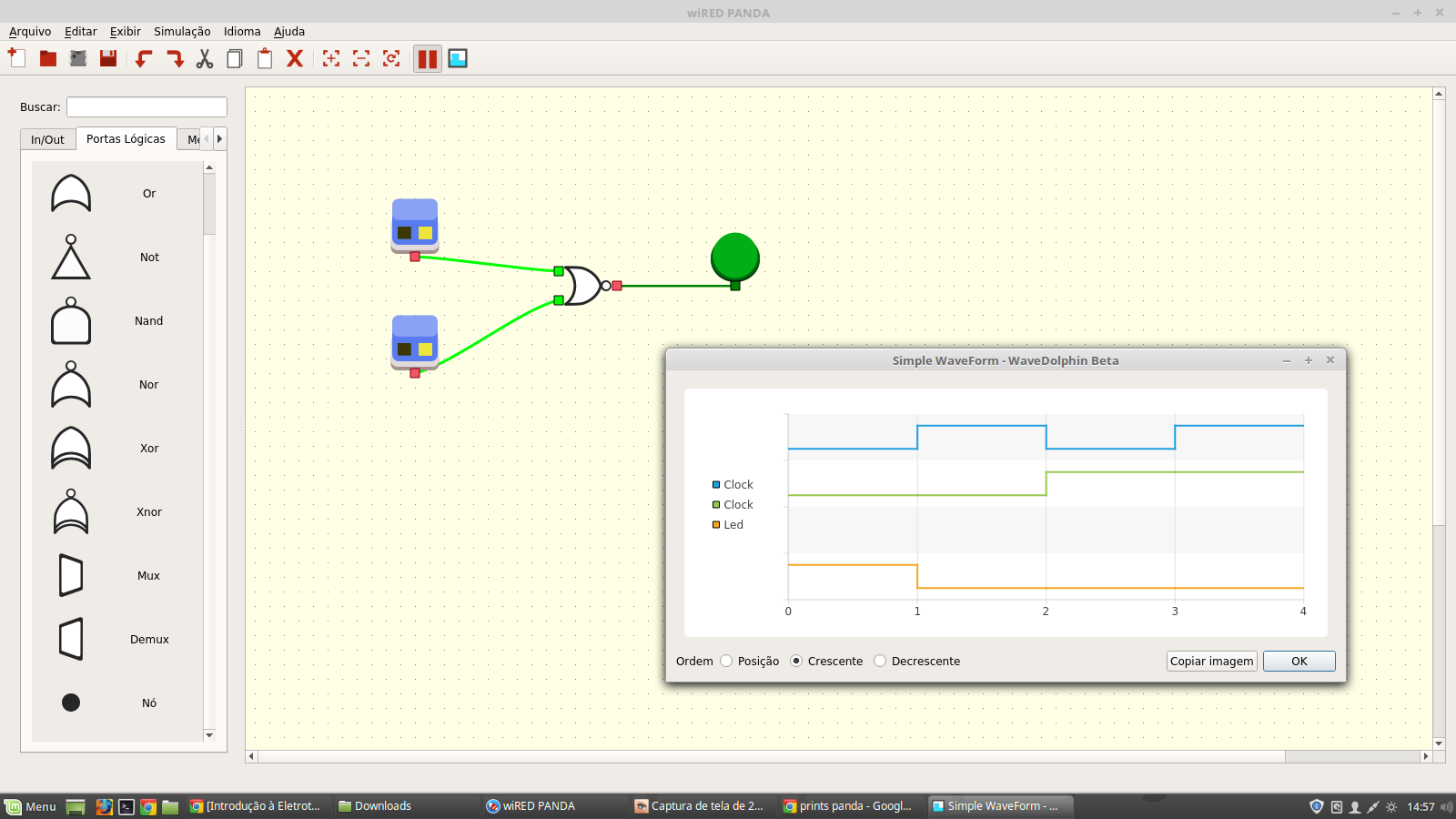


Tabela verdade

|  |  |  |
| --- | --- | --- |
| X1 | X2 | Y |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

Resultado de simulação

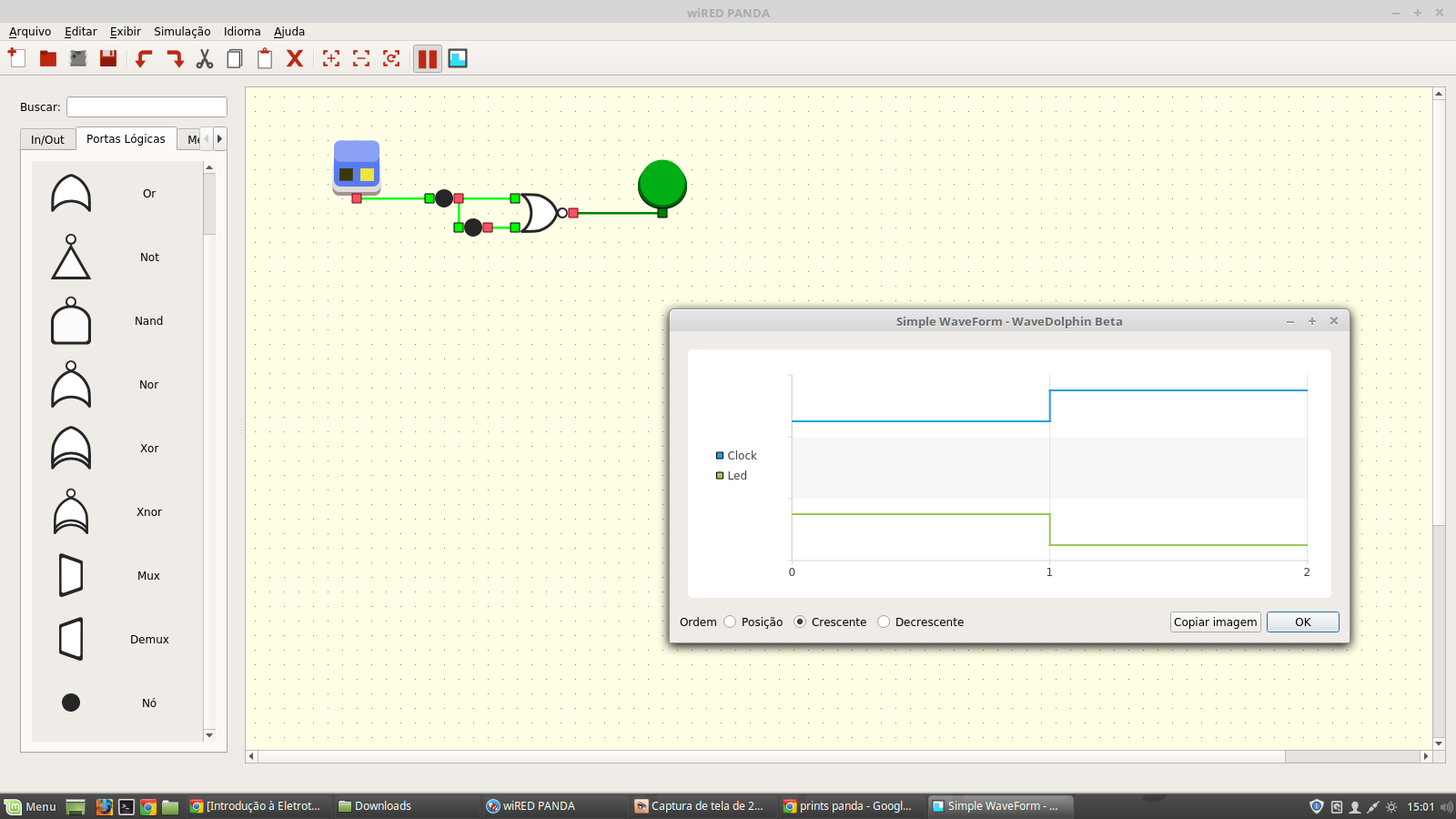


Porta NOT através da porta NAND:

Tabela verdade

|  |  |
| --- | --- |
| **X** | **Y** |
| 0 | 1 |
| 1 | 0 |

Resultado de simulação

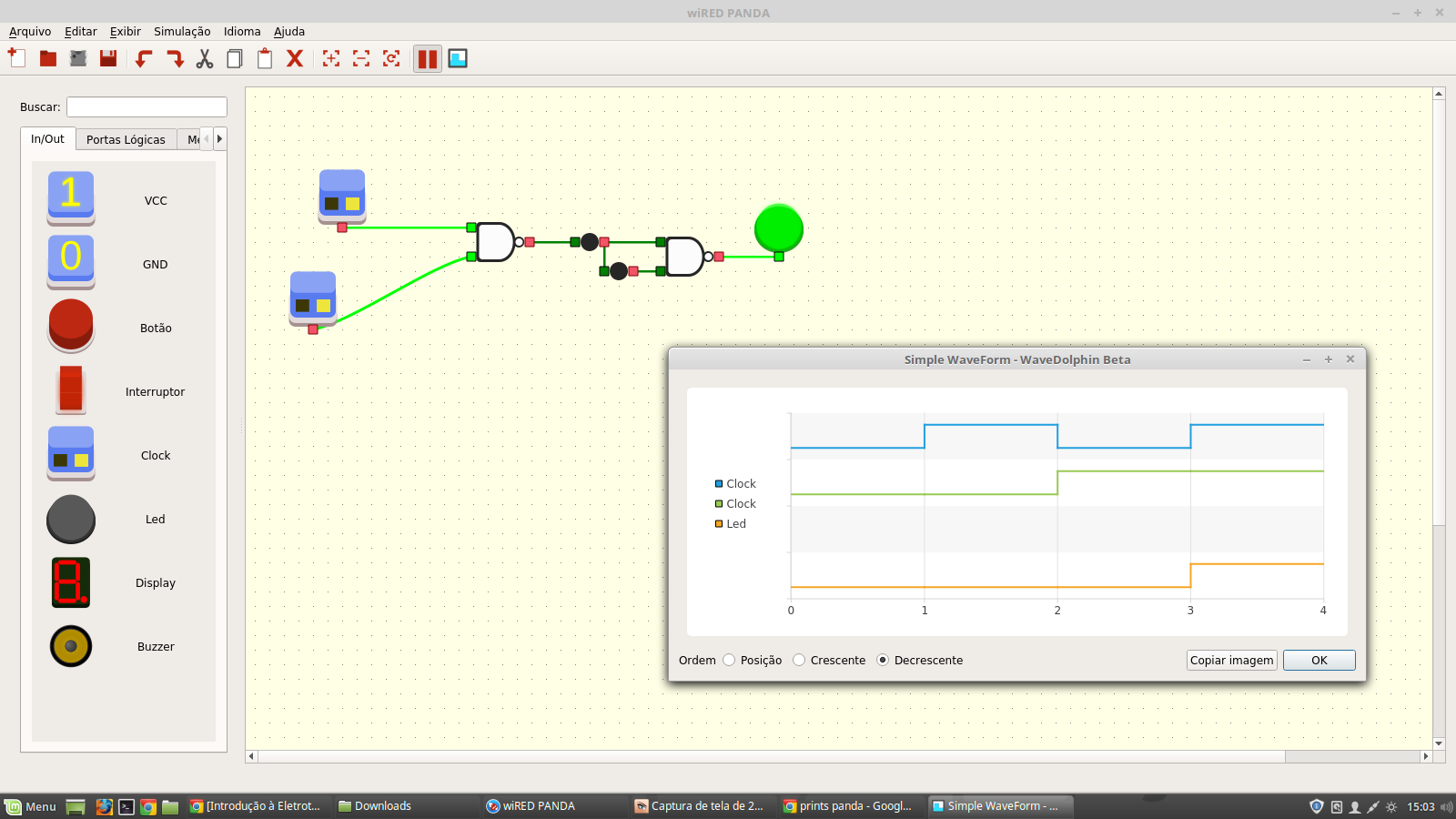


Porta AND através da porta NAND:

Tabela verdade

|  |  |  |
| --- | --- | --- |
| **X1** | **X2** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Resultado de simulação

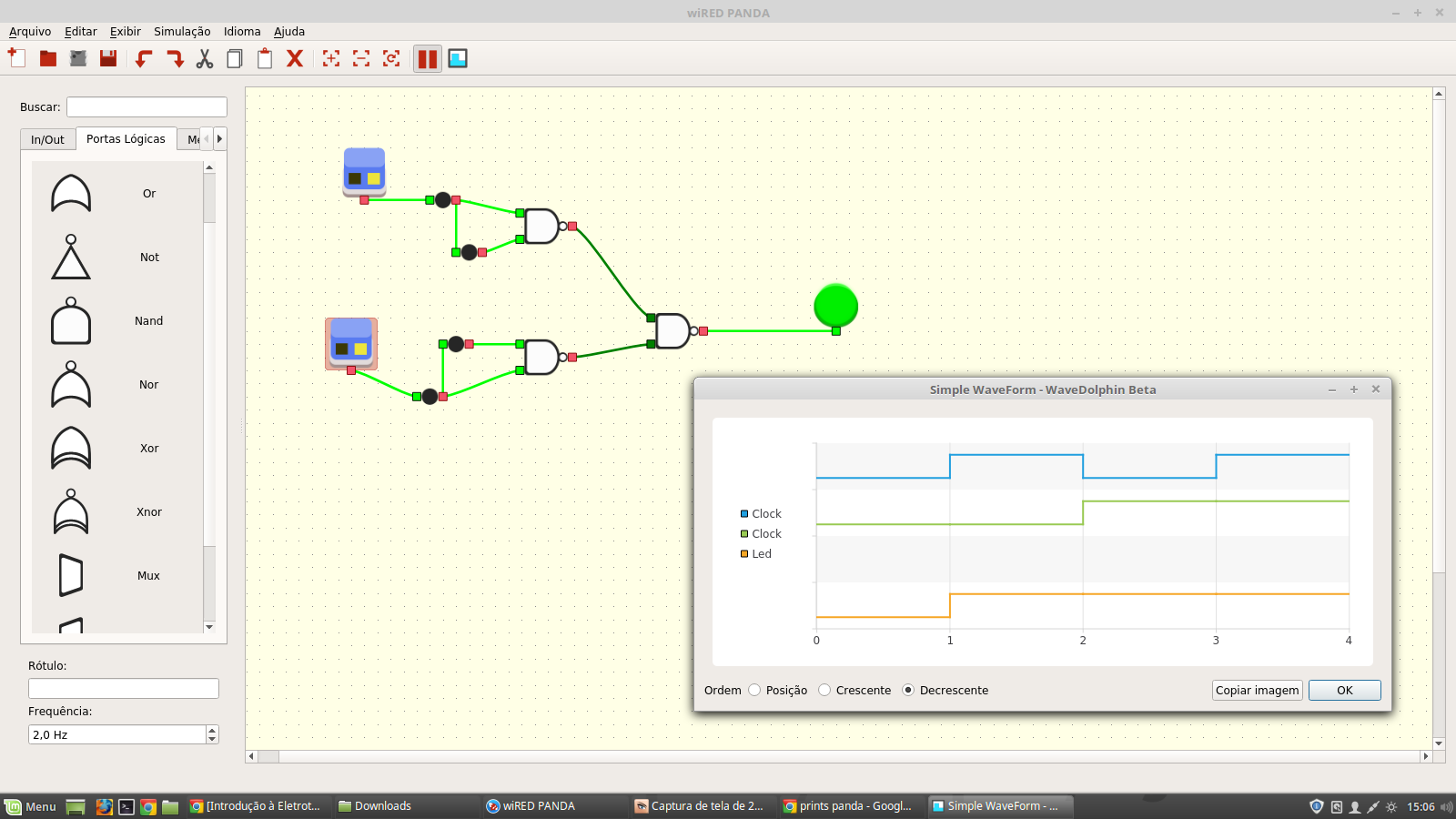


Porta OR através da porta Nand:

Tabela Verdade

|  |  |  |
| --- | --- | --- |
| **X1** | **X2** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Resultado de simulação:

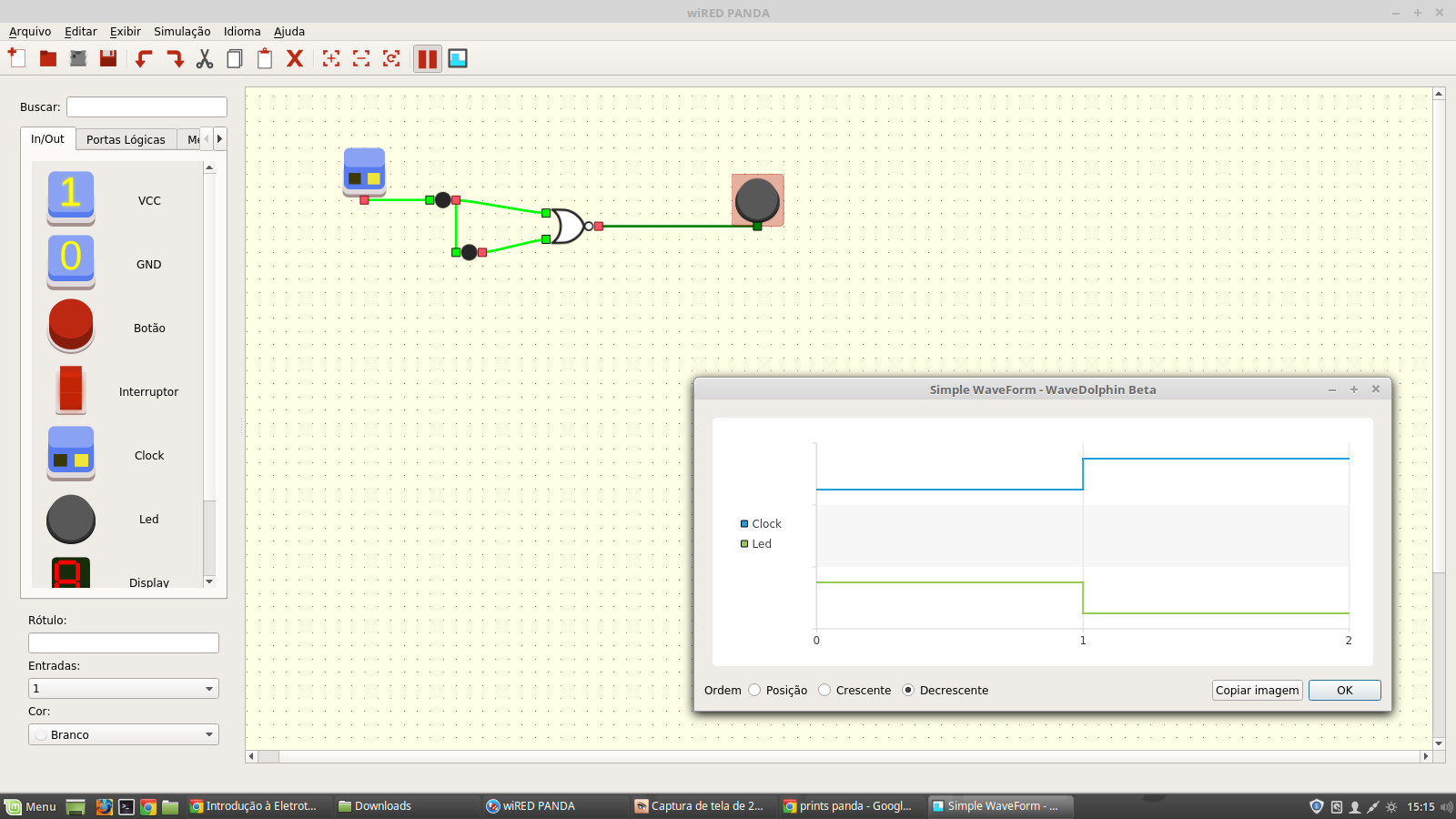


Porta NOT através da porta NOR:

Tabela Verdade:

|  |  |
| --- | --- |
| **X** | **Y** |
| 0 | 1 |
| 1 | 0 |

Resultado de simulação:

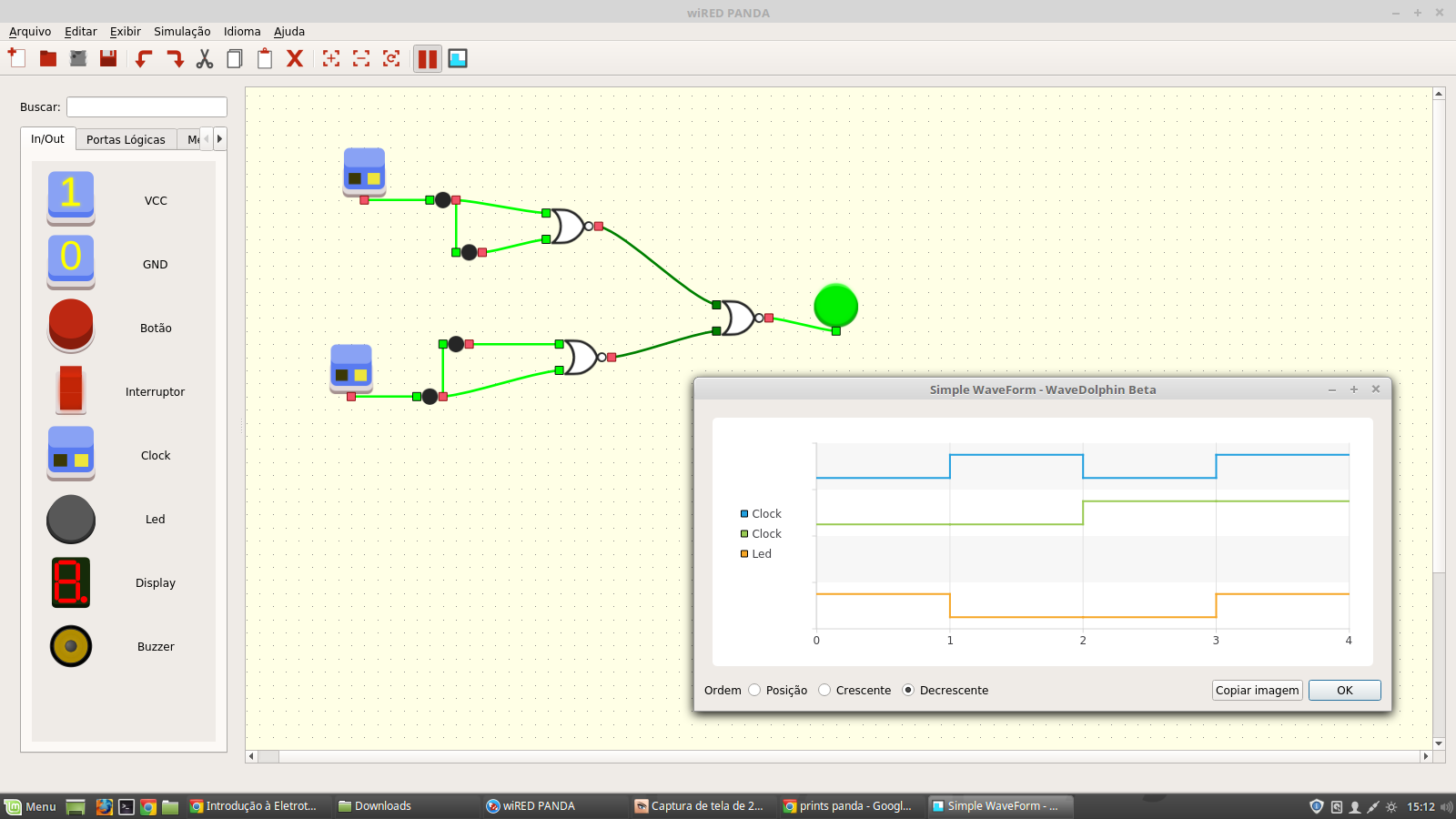


Porta AND através da porta NOR:

Tabela verdade

|  |  |  |
| --- | --- | --- |
| **X1** | **X2** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Resultado de simulação:

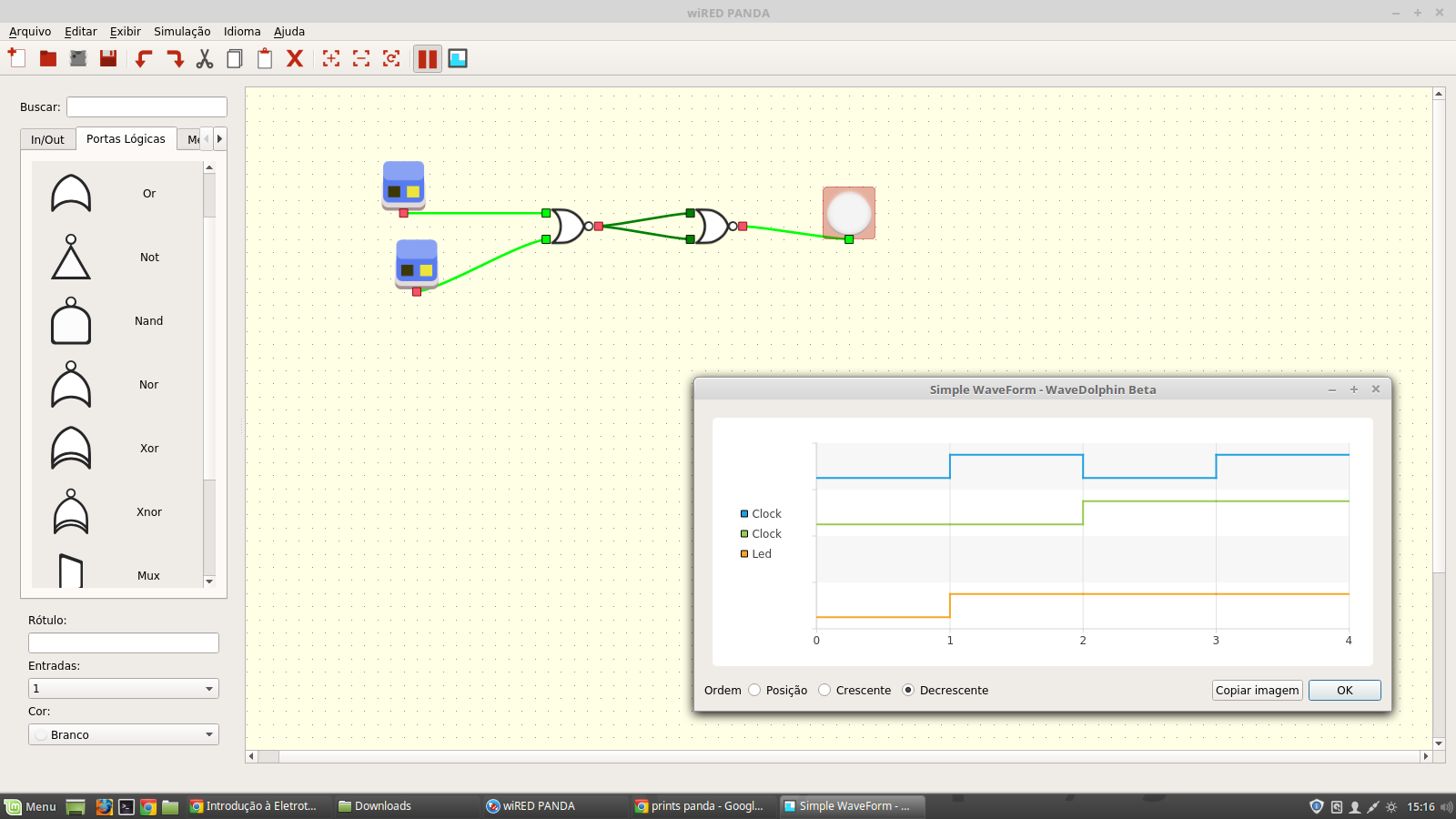


Porta OR através da porta NOR:

Tabela Verdade

|  |  |  |
| --- | --- | --- |
| **X1** | **X2** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

Resultado de simulação:

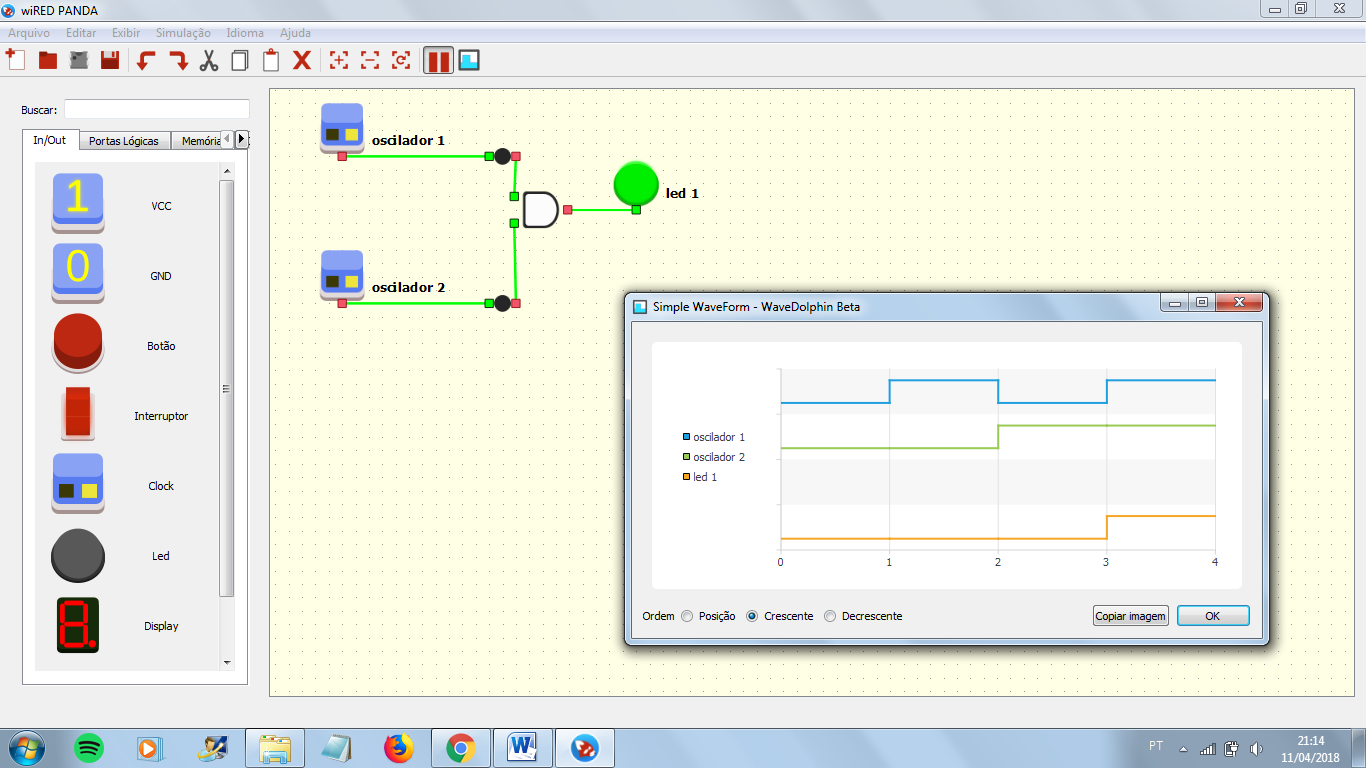


Projeto 1:

Tabela Verdade:

|  |  |  |
| --- | --- | --- |
| **X1** | **X2** | **Y** |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Resultado de simulação:

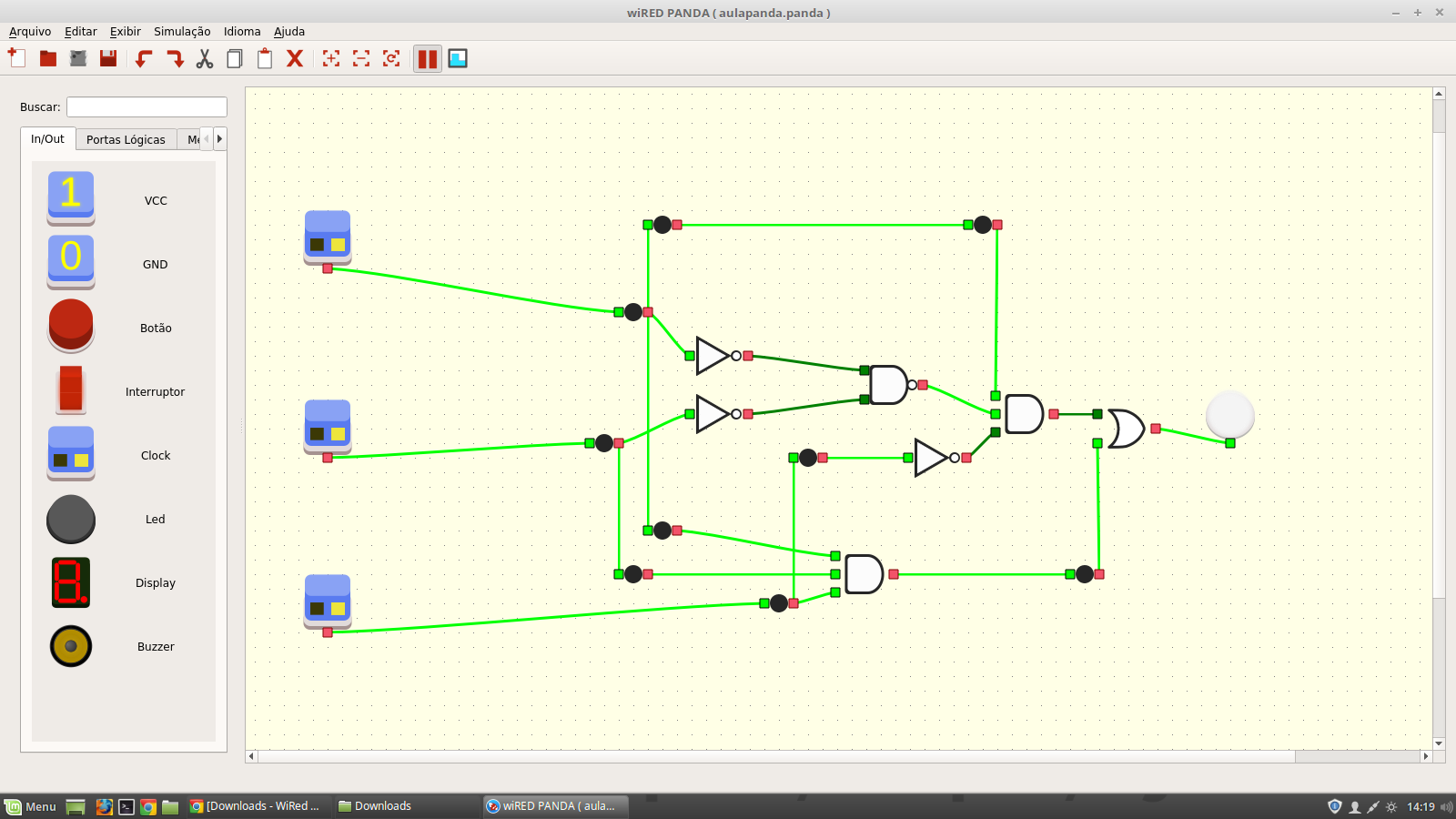


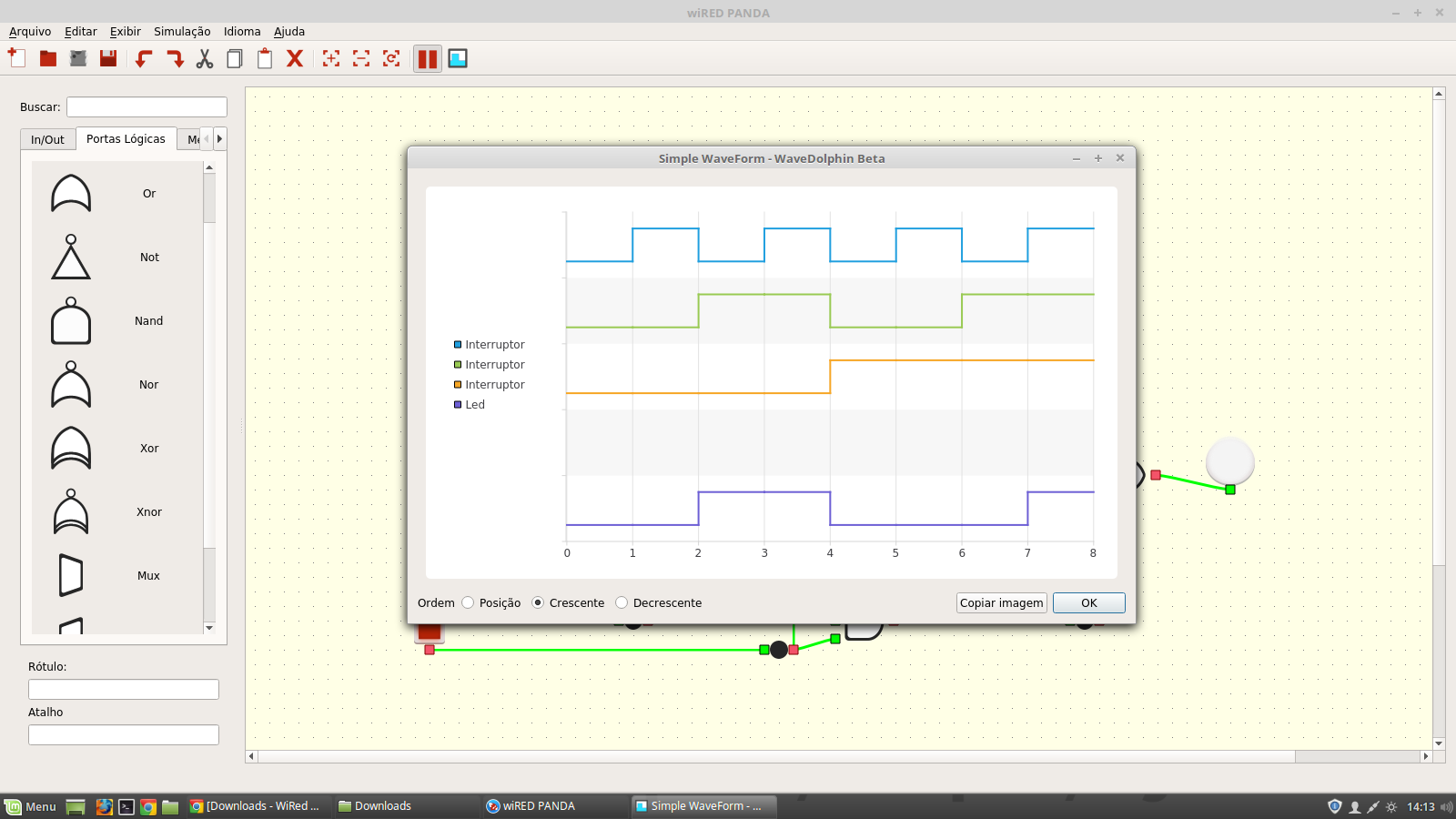
Projeto 2:

Tabela Vedade:

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **C** | **Y** |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 |

Resultado de simulação:





Projeto 3:

Tabela Verdade:

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **C** | **Y** |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |

Resultado de simulação:

